

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-214969

(43)Date of publication of application : 11.08.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 09-028475

(71)Applicant : TOYOTA CENTRAL RES & DEV  
LAB INC

(22)Date of filing : 28.01.1997

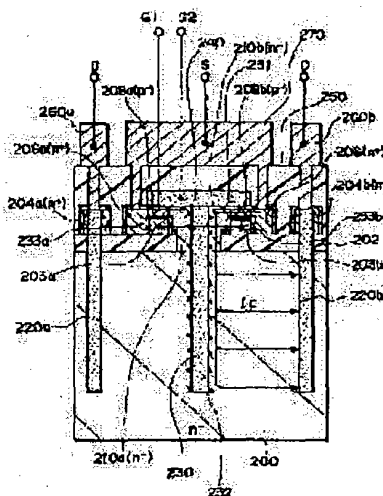
(72)Inventor : KIGAMI MASAHIKO  
KAWAJI SACHIKO  
UESUGI TSUTOMU

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the on-resistance of an insulated-gate transistor.

SOLUTION: An insulated-gate semiconductor device is a three-dimensional device making use of an SOI structure, it adopts a double gate (G1, G2) structure, and a trench gate 230 and trench drains 220a, 220b which are faced with the trench gate are arranged. A low-resistance carrier accumulation layer which is formed around a gate electrode is formed such that it is continued to a channel region (inversion channel) and that it is in a shape extended to the vertical direction of a substrate. In addition, the entirety of a lightly doped drain region 200 which is sandwiched between the trench gate and the trench drains functions as the route of the uniform movement of carriers, and the cross-sectional area of a current route is increased. Thereby, an on-resistance can be reduced dramatically.



## LEGAL STATUS

[Date of request for examination] 18.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-214969

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.<sup>5</sup>  
H 0 1 L 29/78

識別記号

F I  
H 0 1 L 29/78

3 0 1 W  
6 5 3 B

審査請求 未請求 請求項の数1 F D (全 14 頁)

(21) 出願番号 特願平9-28475

(22) 出願日 平成9年(1997) 1月28日

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番  
地の1

(72) 発明者 樹神 雅人

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

(72) 発明者 河路 佐智子

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

(72) 発明者 上杉 勉

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

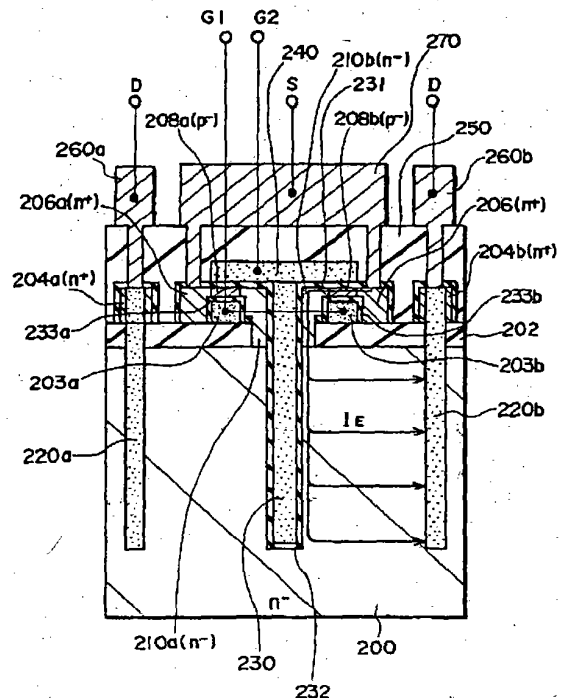
(74) 代理人 弁理士 布施 行夫 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 絶縁ゲート型トランジスタのオン抵抗を低減することである。

【解決手段】 本発明の絶縁ゲート型半導体装置は、S O I 構造を利用した立体的なデバイスであり、ダブルゲート (G 1, G 2) 構造を採用するとともに、トレンチゲート (2 3 0) と、このトレンチゲートに対向するトレンチドレイン (2 2 0 a, 2 2 0 b) を配置する。ゲート電極の周囲に形成される低抵抗のキャリア蓄積層は、チャネル領域 (反転チャネル) に連続し、かつ基板の垂直方向に伸びる形態で形成される。また、トレンチゲートとトレンチドレインにより挟まれた低濃度ドレイン領域 (2 0 0) 全体がキャリアの均一な移動の経路として機能し、電流経路の断面積が増大する。よって、オン抵抗を劇的に低減することが可能である。



## 【特許請求の範囲】

【請求項1】 絶縁ゲート型の半導体装置において、電界緩和領域として機能する低濃度ドレイン領域にまで、チャネル領域から延長して設けられた、キャリア蓄積層形成機能をもつトレンチゲートと、前記トレンチゲートに対向するように設けられたトレンチドレインと、を有することを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁ゲート型の半導体装置に関し、特に、電力用途などに用いられる横型のパワーMOSFETに関する。

【0002】

【背景技術】従来の横型パワーMOSFETの構造を、図38に示す。

【0003】図38中、参照番号2000はp型基板を示し、参照番号2100はn型エピタキシャル層を示し、参照番号2200はp型ウェル領域を示し、参照番号2300はn+型ソース領域を示し、参照番号2400はn+型ドレイン領域を示し、参照番号2500はゲート電極を示し、参照番号2600はゲート絶縁膜を示し、参照番号2700は絶縁膜を示し、参照番号2800、2900はそれぞれ金属電極を示す。

【0004】

【発明が解決しようとする課題】図38の構造では、充分なソース／ドレイン間耐圧を得るためには、ゲート電極2500の端から高不純物濃度のドレイン領域2400までの間に充分な距離の低濃度ドレイン領域2100が必要である。したがって、デバイスの占有面積は広くならざるをえない。

【0005】また、デバイスのオン抵抗はおもに低濃度ドレイン領域2100の抵抗で決定される。したがって、図38の構造では、単位面積当たりのオン抵抗（以下、規格化オン抵抗と記す）を下げるのが難しい。

【0006】また、十分な耐圧を得るためには、十分な低濃度pウェル領域2200の深さが必要であり、このためチャネル距離の縮小には限度がある。このことも、デバイスの占有面積の縮小を阻害する要因であり、また、規格化オン抵抗を下げることを難しくする要因でもある。

【0007】本発明の目的の一つは、所望の耐圧を得るのに必要十分な距離の低濃度ドレイン領域を確保しつつ、絶縁ゲート型半導体装置の占有面積を縮小し、かつチャネル距離を縮小することにより、さらなるデバイスの占有面積の縮小と規格化オン抵抗の低減を実現することにある。

【0008】

【課題を解決するための手段】

(1) 請求項1に記載の本発明は、絶縁ゲート型の半導体装置において、電界緩和領域として機能する低濃度ド

レイン領域にまで、チャネル領域から延長して設けられた、キャリア蓄積層形成機能をもつトレンチゲートと、前記トレンチゲートに対向するように設けられたトレンチドレインと、を有することを特徴とするものである。

【0009】本請求項の「トレンチ」の意味は、「基板に垂直な方向に伸びる部分を有する」という意味であり、基板に垂直な溝を形成する場合の他、基板上に半導体材料を堆積して垂直な部分を形成する場合（スタック構造の場合）も含む概念である。

【0010】本請求項の発明では、チャネルを通過したキャリア（n型トランジスタの場合は電子）は、極めて低抵抗のキャリア蓄積層を経由し、対向するドレインへとほぼ均一なパスを形成して移動する。

【0011】したがって、低抵抗のキャリア蓄積層を経由することによってトランジスタのオン抵抗の増大が抑制される。

【0012】さらに、互いに対向するトレンチゲートとトレンチドレインとに挟まれた低濃度ドレイン領域全体がキャリアのパスとして機能するため、電流経路の断面積が大幅に増大し、低濃度ドレイン領域による抵抗を極めて低減することが可能となる。

【0013】なお、チャネル領域の下部もしくは側部に、第1のゲート電極に対向するように第2のゲート電極を設け、電界緩和領域として機能する低濃度ドレイン領域を第2のゲート電極の下部に設けると、2つのゲートを設けたことによるチャネル抵抗の低減効果や、チャネル領域と低濃度ドレイン領域とを上下に配置したことによる素子サイズのコンパクト化の効果等がさらに得られる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態につき図面を参照して説明する。

【0015】(1) 第1の実施の形態

(デバイス構造) 図1に、本発明の第1の実施の形態にかかる絶縁ゲート型半導体装置の断面構造を示す。

【0016】図1のデバイスは、SOI構造を採用した、横型のn型パワーMOSFETである。

【0017】すなわち、n型単結晶基板100（一部が低不純物濃度ドレイン領域として機能する）の表面に絶縁膜102が形成され、その絶縁膜102上に、ポリシリコンからなる第1のゲート電極108a、108b（ボトムゲートG1）が形成されている。

【0018】第1のゲート電極108a、108b上には、第1のゲート酸化膜115a、115bを介してチャネル領域（低濃度p領域）112a、112bが形成されている。チャネル領域112a、112b上には、第2のゲート酸化膜116bを介してポリシリコンからなる第2のゲート電極118（トップゲートG2）が形成されている。

【0019】また、チャネル領域112a, 112bに接してn+型ソース領域110a, 110bが設けられ、各領域にはソース電極(S)124が接続されている。

【0020】また、チャネル領域112a, 112bとn-型単結晶基板100との間にはn-型領域(低濃度ドレイン領域の一部をなす領域)114が設けられている。

【0021】さらに、ソース電極(S)124を挟むようにドレイン電極(D)122a, 122bが形成されており、各ドレイン電極122a, 122bは、n+型ドレイン領域106a, 106bに接続されている。参照番号116a, 116cはそれぞれ、n+型ドレイン領域106a, 106bの表面を覆う酸化膜(ゲート酸化膜116b)と同じ工程で形成された酸化膜)である。

【0022】トランジスタがオンすると、電子は、図1中、矢印(IE)で示す経路で、ソースからドレインへと移動する。

【0023】(図1のデバイスの構造の特徴)図1のデバイスの特徴は、電界緩和領域として機能する低濃度ドレイン領域(半導体基板100の一部)が、ボトムゲート電極108a, 108bの下側に形成されていること(立体的構造)と、チャネル領域112a, 112bの上下に、トップゲート118およびボトムゲート108a, 108bを有すること(ダブルゲート構造)である。

【0024】上述したとおり、十分なソース/ドレイン間耐圧を得るためには、ゲート電極の端からドレイン高濃度領域までの間に十分な距離を低濃度ドレイン領域が必要であり、従来この低濃度ドレイン領域は、図38に示すように平面的に配置されていた。このためデバイス面積は広くならざるをえず、規格化オン抵抗を下げるのが難しかった。

【0025】これに対し、図1の本発明のデバイスでは、電界緩和領域として機能するn-型単結晶基板100の上に、絶縁膜を介して単結晶シリコン領域を形成し、チャネル領域やソース領域はその絶縁膜上の単結晶シリコン領域中に作り込んでいる。つまり、SOI(Silicon On Insulator)構造を採用した立体的構造となっていて、チャネル領域と低濃度ドレイン領域とは、絶縁膜を介して上下に重なりを有する形態で配置される。したがって、低濃度ドレイン領域のためだけにデバイス面積を割り当てる必要がなくなり、デバイスの占有面積を縮小することが可能となる。

【0026】また、図38の従来のデバイス構造では、ソース/ドレイン間の絶縁は低濃度p領域(2200)と低濃度n領域(2100)との接合(pn接合)で保たれており、十分な絶縁耐圧を確保するためには十分な低濃度p領域の深さが必要であった。したがって、チャ

ネル距離を低濃度p領域の深さ以下に縮小することが困難であった。

【0027】これに対し、本発明ではSOI構造を採用しているため、基板表面を覆う絶縁膜102が所望の耐圧を実現する働きをする。したがって、チャネル領域(低濃度p領域)の深さは、図38の従来例と異なり、耐圧とは無関係となる。すなわち、チャネル領域(低濃度p領域)はチャネルの機能のみを有すればよく、従来構造で要求されるようなソース/ドレイン間の絶縁に関する機能は何ら要求されない。このため、チャネル距離を短くでき、デバイス面積を縮小することが可能となる。よって、デバイスの占有面積を縮小できる。

【0028】また、ダブルゲート構造とすることにより、チャネル領域112a, 112bにおけるチャネルの断面積が増大し、チャネル抵抗が低減する。完全空乏型のチャネルとしてさらにチャネル抵抗を低減させることも容易である。

【0029】なお、図1において、2つのゲートG1, G2は同時に駆動されるのが原則であるが、必ずしもこれに限定されるものではなく、いずれか一方を駆動するような駆動法を採用することもできる。

【0030】以上述べた、ダブルゲートによるチャネル抵抗の低減と、デバイスの占有面積の縮小効果により、規格化オン抵抗を格段に低減することができる。

【0031】(図1のデバイスの製造方法)図2～図7を用いて図1のデバイスの製造方法について説明する。

#### 【0032】工程1

図2に示すように、n-型半導体単結晶基板100の表面に酸化膜102を形成し、続いてポリシリコンを成膜し、加工してボトムゲート電極となるポリシリコン層108a, 108bを形成し、そのポリシリコン層108a, 108bの表面に酸化膜(ゲート絶縁膜)115a, 115bを形成する。

#### 【0033】工程2

図3に示すように、表面酸化膜102に選択的に除去して開口部130a, 130b, 130cを設ける。この開口部において露出する半導体基板100の表面は、次の工程における固相エピタキシャル成長(Solid Phase Epitaxy; 以下、SPEという)のための種結晶部(シード部)となる。

#### 【0034】工程3

図4に示すように、表面絶縁膜102およびポリシリコン層108a, 108b上に、SPE法を用いて単結晶層140を形成する。

【0035】ここで、SPE法について図37を用いて説明する。

【0036】すなわち、図37(a)に示すようにシリコン単結晶基板1000上にSiO<sub>2</sub>膜1100を形成し、図37(b)に示すように種結晶部1200a, 1200bを形成する。

【0037】この後、シリコン基板を希HF溶液に数秒間浸けることで、自然酸化膜を除去し、同時にシリコン基板の表面を水素で終端して不活性化することによって、自然酸化膜の再成長を抑制する。

【0038】続いて、図37(c)に示すように、アモルファスシリコン膜1210を成膜する。

【0039】次に、600℃、数十分程度の熱処理を施し、シード部(種結晶部)を起点として固相エピタキシャル成長(SPE)を生じせしめる。縦方向のSPEを経て横方向にもSPEが生じ、これによって、図37(c)のアモルファスシリコン層1210は単結晶層に変化し、図37(d)に示すように、SiO<sub>2</sub>膜1100上に、シリコン単結晶層1300が形成される。

【0040】なお、シリコン単結晶層1300の導電型は、アモルファスシリコンの堆積工程においてドーパドアモルファスシリコンを使用することで制御でき、また、真性の単結晶を作成後に、適宜に不純物を導入することでも制御できる。

【0041】以上がSPE法によるSOI構造の形成の概要である。

【0042】図4に示される単結晶層140は、上述のSPE法を用いて形成された層であり、本実施の形態では、真性の単結晶を形成後、イオン打ち込みによりn型としている。

#### 【0043】工程4

次に、図5に示すように、SPEにより得られた単結晶層をパターンニングしたのち、その表面を酸化して酸化膜116a、116b、116cを形成する。

#### 【0044】工程5

次に、図6に示すように、トップゲート電極となるポリシリコン層118を形成し、続いて、そのポリシリコン層118をマスクとした不純物の導入と、2重拡散によって、p-チャネル領域112a、112bならびにソース領域(n+)110a、110b(および高濃度ドレイン領域106a、106b)を形成する。

【0045】すなわち、まず、ポリシリコン層118をマスクとしてボロン(B)を全面にイオン打ち込みし、熱処理することにより、ポリシリコン層118の端部から所定の距離だけ内側にまでボロンを拡散してp-型領域を形成する。

【0046】続いて、全面に砒素(As)を高濃度に打ち込み、先のボロンの打ち込みによってp型となっている層をn型に変化させる。そしてダメージ回復のためだけの熱処理を施す。こうして、p-チャネル領域112a、112bならびにソース領域(n+)110a、110b(および高濃度ドレイン領域106a、106b)が形成される。

#### 【0047】工程6

次に、図7に示すように、CVDSiO<sub>2</sub>膜等の保護膜120を形成し、電極接続用のコンタクトホールを形成

する。この後、電極を形成することにより、図1のデバイスが完成する。

#### 【0048】(2)第2の実施の形態

(デバイスの構造)図8に、本実施の形態にかかるパワーMOSFETの断面構造を示す。図8において、図1と同等の箇所には同じ参照番号を付してある。

【0049】本デバイスの基本的構造ならびに動作は図1のデバイスと同じであるが、ボトムゲート電極の断面形状が異なっている。

【0050】つまり、本実施の形態では、図8中に一点鎖線で囲んで示す領域Aにまで、ボトムゲート電極160a、160bが延在している。つまり、ボトムゲート電極160a、160bは逆L字型の断面形状となっている。

【0051】これにより、チャネル領域112a、112bの側部のn型の領域(低濃度ドレイン領域の一部)114において、ボトムゲート電極160a、160bの周囲にキャリア蓄積層が形成され、この部分の抵抗が、図1の場合よりも低減されることになる。したがって、さらなる低オン抵抗化が可能である。

【0052】(デバイスの製造方法)次に、図9～図16を用いて、図8のデバイスの製造方法について説明する。

#### 【0053】工程1

まず、図9に示すように、基板100上に酸化膜102を形成した後、選択的に開口部を形成し、さらにその開口部において露出している基板表面を再度酸化して薄い酸化膜150を形成する。

#### 【0054】工程2

次に、図10に示すように、選択的に開口部SA1、SA2、SA3を形成する。この開口部において露出する基板表面が、後に、SPEにおける種結晶部(シード部)として機能する。

#### 【0055】工程3

次に、図11に示すように、全面にポリシリコン170を堆積する。

#### 【0056】工程4

次に、図12に示すように、マスク層172a、172bを形成した後、全面にRIE(リアクティブイオンエッチング)を施し、ポリシリコン層170のマスク層172a、172bの直下以外の部分をすべて除去する。

#### 【0057】工程5

次に、図13に示すように、マスク層172a、172bを除去後、SPE法を用いて単結晶層140を形成する。

#### 【0058】工程6

次に、図14に示すように、単結晶層140を加工後、その表面を酸化して酸化膜116a、116b、16cを形成する。

#### 【0059】工程7

次に、図15に示すように、ポリシリコン層118を形成し、このポリシリコン層118をマスクとして、不純物を導入し、2重拡散によりチャネル領域112a、112bおよびn+型ソース領域110a、110b（およびn+型ドレイン領域106a、106b）を形成する。

#### 【0060】工程8

次に、図16に示すようにCVDSiO<sub>2</sub>膜等の絶縁膜120を形成し、電極接続用のコンタクトホールを形成する。この後、電極を形成して、図8のデバイスが完成する。

#### 【0061】(3) 第3の実施の形態

(デバイスの構造) 図17に、本発明の第3の実施の形態にかかるパワーMOSFETの断面構造を示す。

【0062】図17のデバイスの特徴は、第2ゲート電極（トップゲート電極G2）を、水平部分240と垂直部分（トレンチゲート）230とをもつ構造とし、一方、ドレイン電極220a、220bもトレンチ構造として、トレンチゲート230に所定の面積をもって対向（面对向）させていることである。

【0063】以下、断面構造について説明する。

【0064】n-型単結晶基板200（一部が低不純物濃度ドレイン領域として機能する）の表面に絶縁膜202が形成され、その絶縁膜202上に、ポリシリコンからなる第1のゲート電極203a、203b（ボトムゲートG1）が形成されている。第1のゲート電極203a、203b上には、第1のゲート酸化膜233a、233bを介してチャネル領域（低濃度p領域）208a、208bが形成されている。チャネル領域208a、208b上には、第2のゲート酸化膜231（トレンチゲート230の酸化膜232と連続している）を介してポリシリコンからなる第2のゲート電極（トップゲートG2）の水平部分240が形成されている。この水平部分240の中央部の下面にトレンチゲート230の上端が接続され、これにより、トップゲートG1はT字状の断面形状を有する。

【0065】また、チャネル領域208a、208bに接してn+型ソース領域206a、206bが設けられ、各領域にはソース電極（S）250が接続されている。

【0066】また、チャネル領域208a、208bとn-型単結晶基板200との間にはn-型領域（低濃度ドレイン領域の一部をなす領域）210a、210bが設けられている。

【0067】さらに、ソース電極（S）250を挟むようにドレイン電極（D）260a、260bが形成されており、各ドレイン電極260a、260bは、トレンチドレイン220a、220bに接続されている。トレンチドレイン220a、220bはトレンチゲート230に所定の面積をもって対向している。

【0068】トランジスタがオンすると、電子は、図1中、矢印（IE）で示す経路で、ソースからドレインへと移動する。

【0069】（デバイスの特徴）本実施の形態のデバイスの特徴を、図18を用いて説明する。図18は図17の一部を抜き出して拡大して示す図である。

【0070】パワーMOSFETのトップゲートG2ならびにボトムゲートG1に同時に正電圧を与えると、図18に示すようにチャネル領域208b（p-）において、チャネルCH1、CH2が誘起される。また、トップゲートG2の周囲にはキャリア蓄積層（AC）が形成される。このキャリア蓄積層（AC）は、図示されたとおり、チャネル領域（反転チャネル）に連続し、かつ基板の垂直方向に伸びる形態で形成される。

【0071】また、低濃度ドレイン領域（電界緩和領域）200を挟んで、ゲート電極の垂直部分（トレンチゲート）230に対向して垂直なドレイン電極（トレンチドレイン）220bが設けられているため、その挟まれた低濃度ドレイン領域全体がキャリアの均一な移動の経路として機能することになる。つまり、図18に点線で囲んで示されるように、両電極が対向する面積が電流経路の断面積（AS1）となる。

【0072】したがって、ダブルゲート構造の採用により低抵抗化したチャネルを通過したキャリア（n型トランジスタの場合は電子）は、次に、極めて低抵抗のキャリア蓄積層を経由して、対向するドレイン電極へと、均一なパスを形成して移動していく。

【0073】この場合、低抵抗のキャリア蓄積層を経由することから、オン抵抗の増大が抑制される。

【0074】さらに、面をもって対向する2つの電極間に均一なキャリアのパス（電流パス）が形成され、このことは電流経路の断面積が大幅に増大したことを意味し、これにより、低濃度ドレイン領域による抵抗を極めて低減することが可能となる。すなわち、充分な低濃度ドレイン領域による電界緩和の要請と、低濃度ドレイン領域の縮小による低オン抵抗化の要請とは相反するものであり、従来は、電界緩和のために必要な低濃度ドレイン領域のサイズが決まれば、その低濃度ドレイン領域のバルク抵抗がそのままオン抵抗となり、このことがトランジスタの低オン抵抗化に限界を与えていた。

【0075】しかし、本発明では、垂直方向（基板の主面に垂直な方向）にゲート電極およびドレイン電極を配置し、その対向面積により電流経路の断面積を増大させるという新規な構成により、低濃度ドレイン領域の抵抗を低減させる。よって、電界緩和能力を犠牲にすることなく、オン抵抗をさらに低減することが可能となる。しかも、本構造では、基板の主面に垂直な方向において電極同士を対向させるため、チップの平面サイズ（デバイスの占有面積）には変化はなく、チップサイズが大型化することもない。

【0076】なお、本実施の形態では、基板に溝を掘ってトレンチゲートおよびトレンチドレインを形成しているが、必ずしもこれに限定されるものではなく、各電極を上側に突出させるような構造（スタックド電極）としてもよい。

【0077】また、本実施の形態では、ダブルゲート構造を採用しているが、シングルゲート構造であっても、規格化オン抵抗の低減の効果は充分に得られる。

【0078】（シミュレーションおよび実験結果等）図19は第2の実施の形態にかかるデバイス（図8）の電流経路をシミュレーションした図であり、図20は本実施の形態の電流経路をシミュレーションした図である。

【0079】第2の実施の形態のデバイスの場合、低濃度ドレイン領域（ $n^-$ ）の表面に近い部分が有効な電流経路になっているのがわかる。一方、本実施の形態のデバイスでは、電流が、トレンチゲートおよびトレンチドレインで挟まれた低濃度ドレイン領域（ $n^-$ ）をほぼ均一に流れ、低濃度ドレイン領域の深い位置まで電流経路として有効に利用されていることがわかる。

【0080】図21に、本実施の形態のデバイスの、トレンチ深さ（トレンチゲートおよびトレンチドレインの長さ）と規格化オン抵抗（ $R_{on}$ ）との関係を示す。図中、特性曲線Aはゲート電圧 $V_{GS}$ が5Vのときの特性を示し、特性曲線Bはゲート電圧 $V_{GS}$ が10Vのときの特性を示す。

【0081】また、図22に、チャンネル長（ $L$ ）と、規格化オン抵抗（ $R_{on}$ ）との関係を示す。測定条件は、トレンチ深さを5 $\mu\text{m}$ とし、ゲート電圧 $V_{GS}$ を10Vとしている。

【0082】図23には、第1の実施の形態にかかるデバイス（図1）および第3の実施の形態にかかるデバイス（図17）のドレイン電圧－ドレイン電流特性と、従来例（図38）のドレイン電圧－ドレイン電流特性とを比較して示す図である。

【0083】図23中、特性曲線Aが第3の実施の形態にかかるデバイス（図17）のドレイン電圧－ドレイン電流特性を示し、特性曲線Bが第1の実施の形態にかかるデバイス（図17）のドレイン電圧－ドレイン電流特性を示し、特性曲線Cが従来例（図38）のドレイン電圧－ドレイン電流特性を示す。

【0084】明らかなように、本発明のデバイスは、同じ電圧で、従来例に比べて格段に大きな電流を流すことができることがわかる。

【0085】このことは、本発明のデバイスのオン抵抗が、従来例のオン抵抗に比べて格段に低減されていることを意味する。

【0086】図25に、従来の縦型デバイスのオン抵抗の各成分と、本発明のデバイスの各成分との対比を示す。また、図24（a）に従来デバイスのオン抵抗の成分が示され、図24（b）に図17の本発明のデバイス

のオン抵抗の成分が示される。図中、 $RS_1$ および $RS_2$ はソース抵抗であり、 $R_{ch}$ はチャンネル抵抗であり、 $R_{j\text{fet}}$ は寄生接合トランジスタ抵抗であり、 $R_{epi}$ は $n$ -型エピタキシャル層（低濃度ドレイン層）の抵抗であり、 $R_{\text{sub}}$ は基板抵抗である。

【0087】図25から明らかなように、本発明では、チャンネル抵抗 $R_{ch}$ が格段に低減され、寄生トランジスタ抵抗 $R_{j\text{fet}}$ は、ほぼ零となり、エピタキシャル層の抵抗（低濃度ドレイン領域の抵抗） $R_{epi}$ が劇的に低減され、基板抵抗 $R_{\text{sub}}$ は、本発明の横型デバイスでは本来的に零である。図17のデバイスのオン抵抗低減の効果が、群を抜いていることは明らかである。

【0088】なお、図24（a）の縦型のMOSFETの場合は、基板の表裏面に電極を配置しなければならず、複数のトランジスタを集積するのが困難であるが、本発明の横型MOSFETでは、電極構造がプレーナ型であり、複数のトランジスタの集積も容易である。

【0089】（図17のデバイスの製造方法）図26～図28を用いて図17のデバイスの製造方法を説明する。

#### 【0090】工程1

先に説明した図2～図4の工程を経てシリコン単結晶基板280を絶縁膜202上に形成した後、図26に示すようにトレンチ（溝）282a、282b、282cを形成する。

#### 【0091】工程2

図27に示すように、各トレンチの内部を酸化し、その後、中央のトレンチ282b内の酸化膜232を残して、他のトレンチ内部の酸化膜を除去する。

#### 【0092】工程3

図28に示すように、まず、各トレンチを高不純物濃度のドーパドポリシリコン220a、220b、230で埋め込む。続いて、単結晶層280をパターニングし、その表面を酸化し、埋め込まれたドーパドポリシリコン220a、220bの表面の酸化膜を除去する。

【0093】次に、トップゲート電極の水平部分となるポリシリコン層240を形成し、このポリシリコン層をマスクにボロン（B）を導入して拡散後、砒素（As）を導入してダメージ回復のための熱処理を行う。その後、絶縁膜を全面に形成し、コンタクトホールの形成および電極形成を経て、図17のデバイスが完成する。

#### 【0094】（4）第4の実施の形態

（デバイスの構造）図29に本発明の第4の実施の形態のデバイスの断面構造を示す。

【0095】本実施の形態のデバイスの特徴は、縦方向（トレンチの方向）に、チャンネルを形成するようにしたことである。基本的な構造と動作は、図17のデバイスと同じである。

【0096】図29において、参照番号320a、320bがチャンネル領域であり、参照番号330a、330

bがソース領域である。参照番号306bがトレンチゲートであり、参照番号310a、310bがトレンチドレインである。また、参照番号306a、306bならびに308はゲート酸化膜であり、参照番号302は表面絶縁膜であり、参照番号340は層間絶縁膜であり、参照番号350a、350bはドレイン電極であり、参照番号360はソース電極である。また、参照番号300はn-エピタキシャル基板である。

【0097】(デバイスの製造方法) 図30～図36を用いて図29のデバイスの製造方法を説明する。

#### 【0098】工程1

図30に示すように、n-エピタキシャル基板300の表面に酸化膜302、370を形成し、続いて、全面にポリシリコン層380を形成する。

#### 【0099】工程2

次に、図31に示すように、RIEによりポリシリコン層380の全面をエッチングし、酸化膜302の側壁部にのみポリシリコン304a、304bを残し、続いて、ポリシリコン層304a、304bの表面を酸化して酸化膜306a、306bを形成する。側壁部のポリシリコン304a、304bは第2ゲート電極(G2)となる。

#### 【0100】工程3

次に、図32に示すように、先に説明したSPE法を用いて単結晶層を形成し、パターニングして単結晶アイランド380を形成する。

#### 【0101】工程4

次に、図33に示すように、トレンチ390a、390b、390cを形成する。

#### 【0102】工程5

次に、図34に示すように、各トレンチの内部を酸化し、続いて中央のトレンチの酸化膜232のみを残して、他のトレンチの酸化膜を除去する。その後、ドーパドポリシリコンを各トレンチ内に埋め込む。

#### 【0103】工程6

次に、図35に示すように、中央のトレンチに埋め込まれたドーパドポリシリコン(第1ゲート電極となる)230の表面を酸化してキャップ酸化膜400を形成し、続いて、全面にボロン(B)をイオン打ち込みして熱処理により拡散させる。このとき、熱処理時間を制御することにより、図34の単結晶アイランド380のうちの、側部のポリシリコン層304a、304bと重なる部分の下端までがp型領域となるようにする。

【0104】続いて、全面に砒素(As)をイオン打ち込みして熱処理によりダメージの回復を行う。これにより、n+型のソース層330a、330bが形成され、また、p-型のチャンネル領域320a、320bが形成される。

#### 【0105】工程7

次に、図36に示すように、全面にCVDSiO<sub>2</sub>等の

絶縁膜250を形成し、続いて、選択的にコンタクトホールを形成する。この後、電極を形成して、図29のデバイスが完成する。

【0106】以上本発明を具体例を用いて説明したが、本発明はこれに限定されるものではなく、種々に変形、応用が可能である。例えば、本発明は、パワーMOSFETだけでなく、IGBT(絶縁ゲート型バイポーラトランジスタ)や絶縁ゲートサイリスタなどのパワーデバイスにも適用可能である。

#### 【0107】

##### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかるパワーMOSFETの断面構造を示す図である。

【図2】図1のデバイスを製造するための、第1の工程におけるデバイスの断面図である。

【図3】図1のデバイスを製造するための、第2の工程におけるデバイスの断面図である。

【図4】図1のデバイスを製造するための、第3の工程におけるデバイスの断面図である。

【図5】図1のデバイスを製造するための、第4の工程におけるデバイスの断面図である。

【図6】図1のデバイスを製造するための、第5の工程におけるデバイスの断面図である。

【図7】図1のデバイスを製造するための、第6の工程におけるデバイスの断面図である。

【図8】本発明の第2の実施の形態にかかるパワーMOSFETの断面構造を示す図である。

【図9】図2のデバイスを製造するための、第1の工程におけるデバイスの断面図である。

【図10】図2のデバイスを製造するための、第2の工程におけるデバイスの断面図である。

【図11】図2のデバイスを製造するための、第3の工程におけるデバイスの断面図である。

【図12】図2のデバイスを製造するための、第4の工程におけるデバイスの断面図である。

【図13】図2のデバイスを製造するための、第5の工程におけるデバイスの断面図である。

【図14】図2のデバイスを製造するための、第6の工程におけるデバイスの断面図である。

【図15】図2のデバイスを製造するための、第7の工程におけるデバイスの断面図である。

【図16】図2のデバイスを製造するための、第8の工程におけるデバイスの断面図である。

【図17】本発明の第3の実施の形態にかかるパワーMOSFETの断面構造を示す図である。

【図18】図17のデバイスの要部の断面を拡大して示す図である。

【図19】図8に示されるデバイスの電流経路をシミュレーションした図である。

【図20】図17に示されるデバイスの電流経路をシミュレーションした図である。



ュレーションした図である。

【図21】図17に示すデバイスの、トレンチ深さ（トレンチゲートおよびトレンチドレインの長さ）と規格化オン抵抗（ $R_{on}$ ）との関係を示す図である。

【図22】図17に示すデバイスの、チャネル長（ $L$ ）と、規格化オン抵抗（ $R_{on}$ ）との関係を示す図である。

【図23】第1の実施の形態にかかるデバイス（図1）および第3の実施の形態にかかるデバイス（図17）のドレイン電圧－ドレイン電流特性と、従来例（図38）のドレイン電圧－ドレイン電流特性とを比較して示す図である。

【図24】（a）は従来の縦型トランジスタのオン抵抗の成分を示す図であり、図24（b）は図17の本発明のトランジスタのオン抵抗の成分を示す図である。

【図25】従来の縦型デバイスのオン抵抗の各成分と、本発明のデバイスの各成分とを対比して示す図である。

【図26】図17のデバイスを製造するための、第1の工程におけるデバイスの断面図である。

【図27】図17のデバイスを製造するための、第2の工程におけるデバイスの断面図である。

【図28】図17のデバイスを製造するための、第3の工程におけるデバイスの断面図である。

【図29】本発明の第4の実施の形態にかかるパワーMOSFETの断面構造を示す図である。

【図30】図29のデバイスを製造するための、第1の工程におけるデバイスの断面図である。

【図31】図29のデバイスを製造するための、第2の工程におけるデバイスの断面図である。

【図32】図29のデバイスを製造するための、第3の

工程におけるデバイスの断面図である。

【図33】図29のデバイスを製造するための、第4の工程におけるデバイスの断面図である。

【図34】図29のデバイスを製造するための、第5の工程におけるデバイスの断面図である。

【図35】図29のデバイスを製造するための、第6の工程におけるデバイスの断面図である。

【図36】図29のデバイスを製造するための、第7の工程におけるデバイスの断面図である。

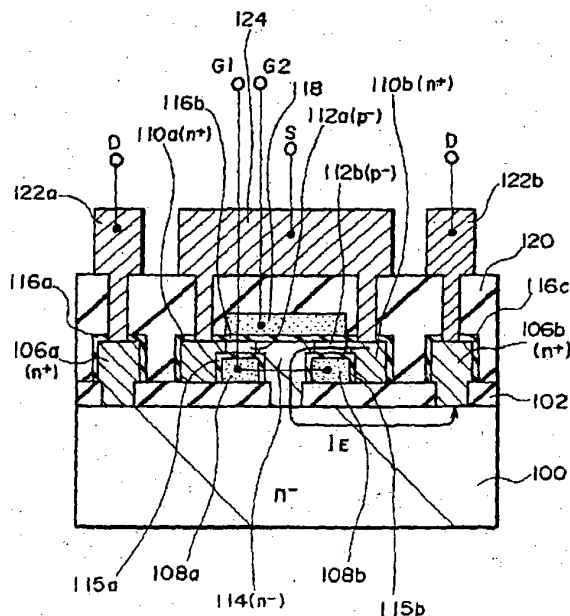
【図37】（a）～（d）はそれぞれ、固相エピタキシャル成長法（SPE法）を説明するための、各工程毎のデバイスの断面図である。

【図38】従来の横型パワーMOSFETの断面構造を示す図である。

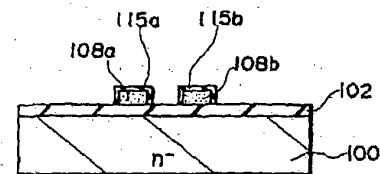
#### 【符号の説明】

- 200 n-エピタキシャル基板（低濃度ドレイン領域）
- 203a, 203b 第1ゲート電極（ポリシリコン層）
- 208a, 208b チャネル領域（p-）
- 206a, 206b ソース層（n+）
- 210a, 210b n-型単結晶層（低濃度ドレイン領域の一部）
- 220a, 220b トレンチドレイン（ポリシリコン層）
- 230 第2ゲート電極のトレンチゲート（ポリシリコン層）
- 240 第2ゲート電極の水平部分（ポリシリコン層）
- 260a, 260b ドレイン電極
- 270 ソース電極

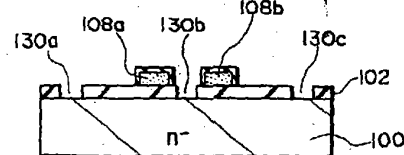
【図1】



【図2】

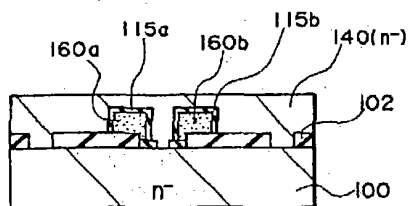


【図3】

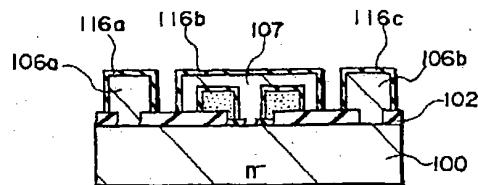




【図13】

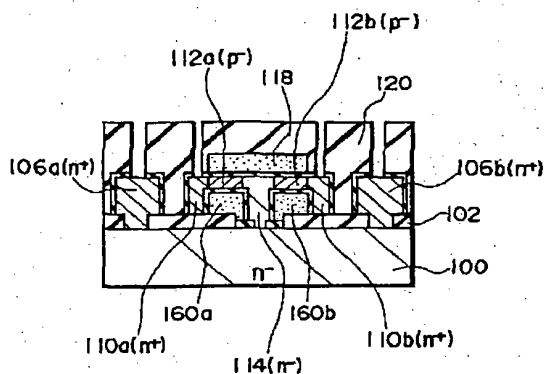
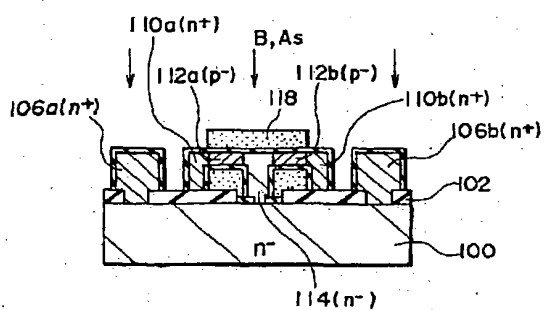


【図14】

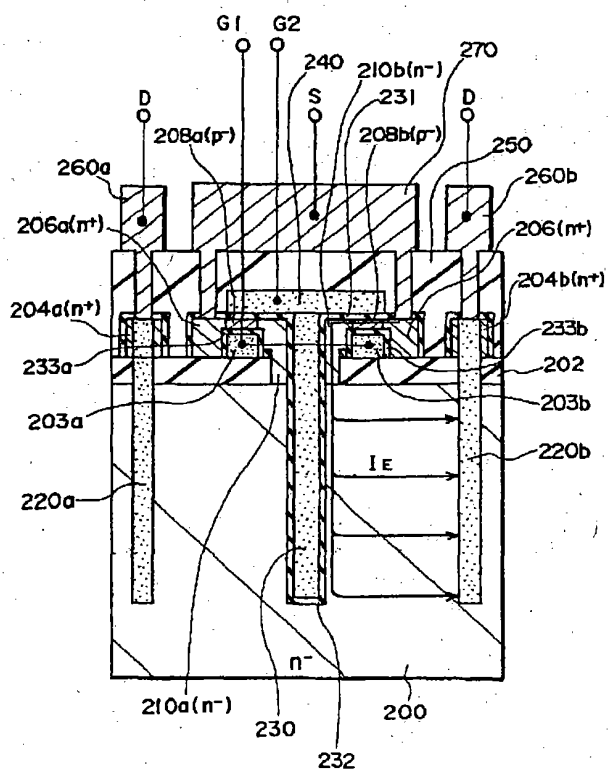


【図16】

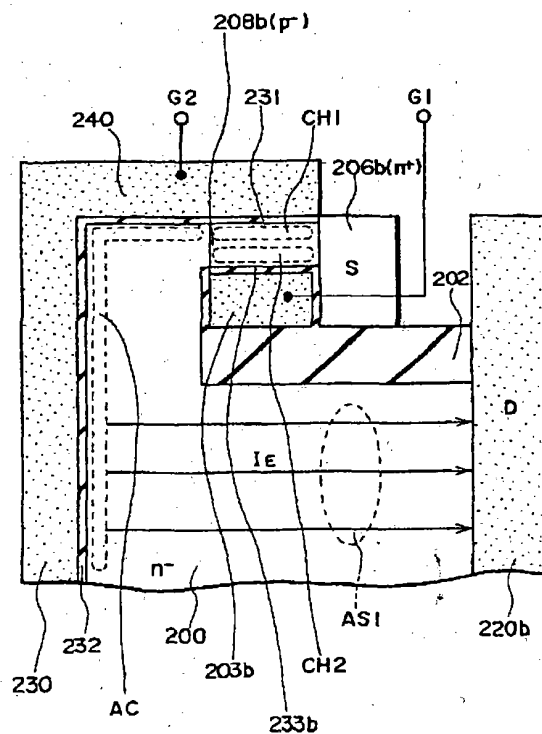
【図15】



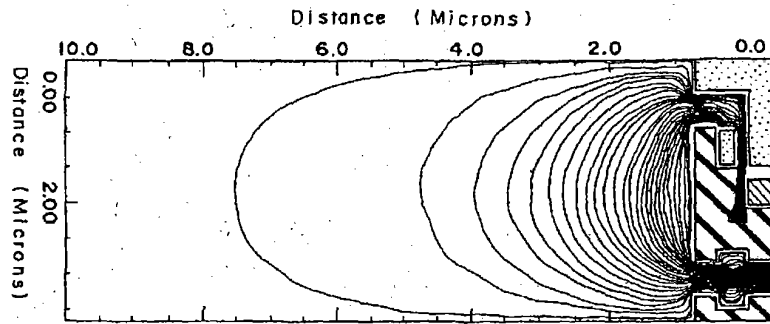
【図17】



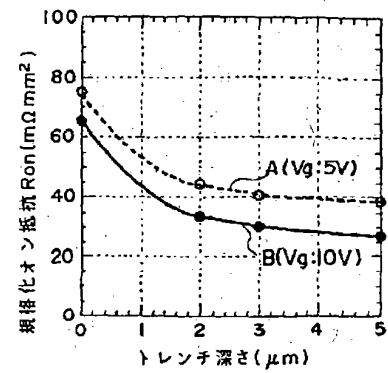
【図18】



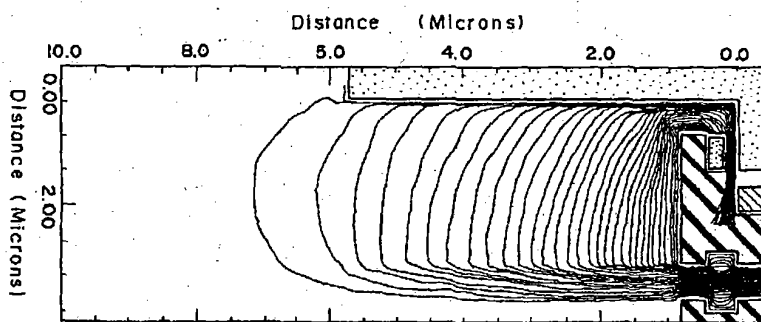
【図19】



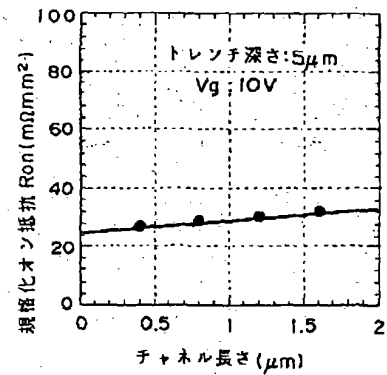
【図21】



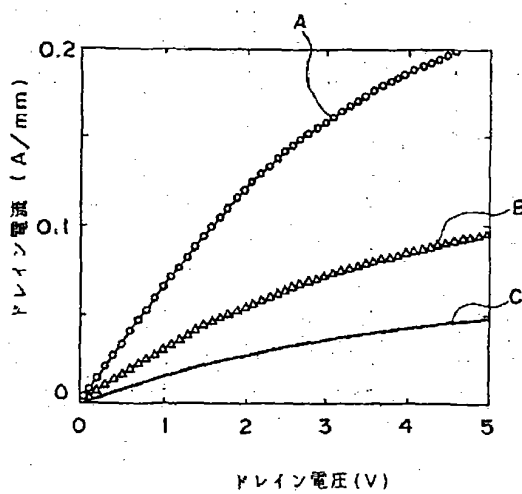
【図20】



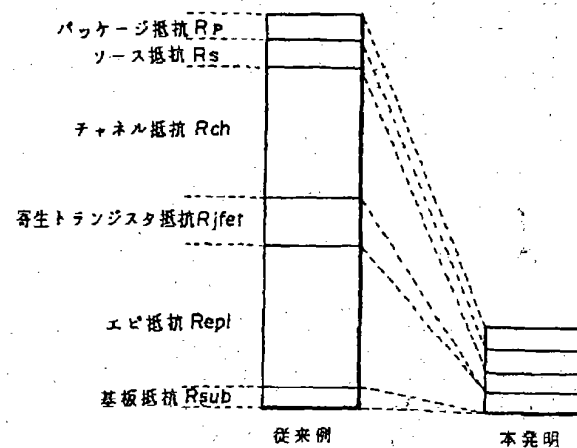
【図22】



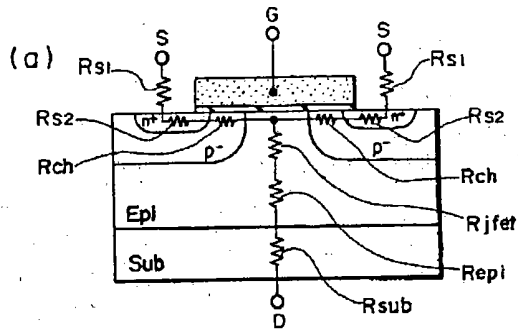
【図23】



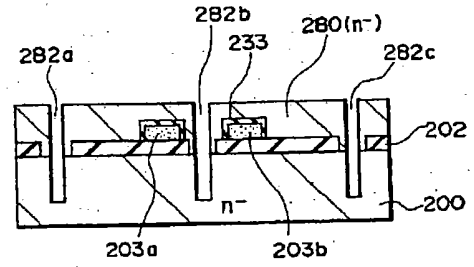
【図25】



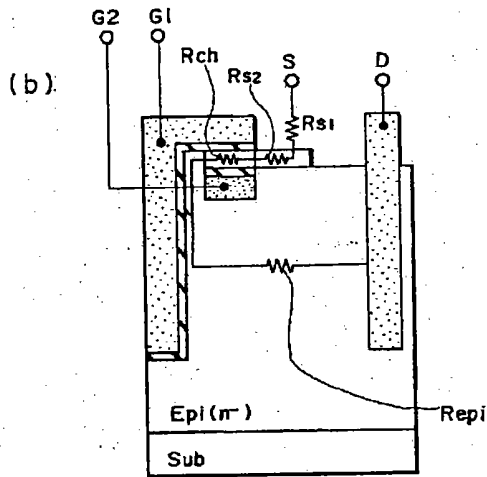
【図24】



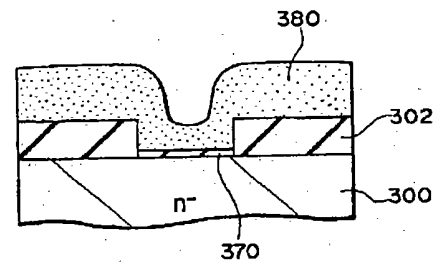
【図26】



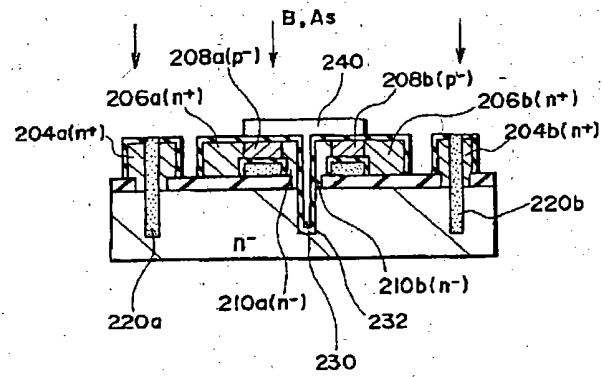
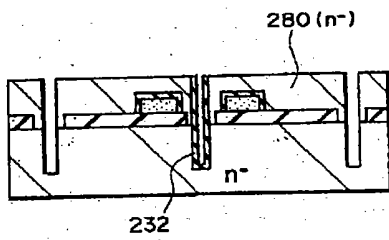
【図30】



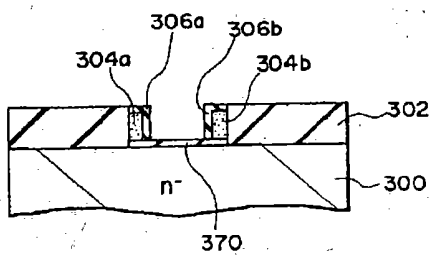
【図27】



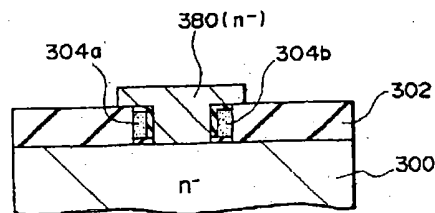
【図28】



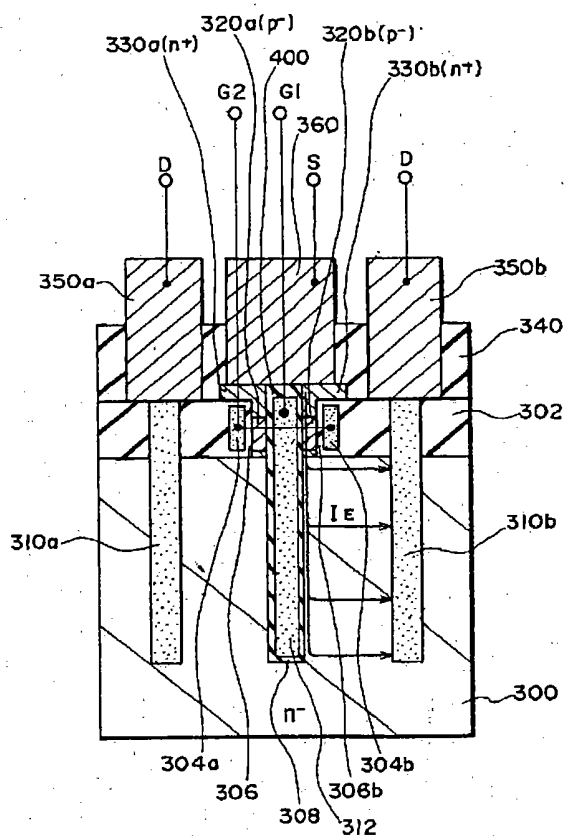
【図31】



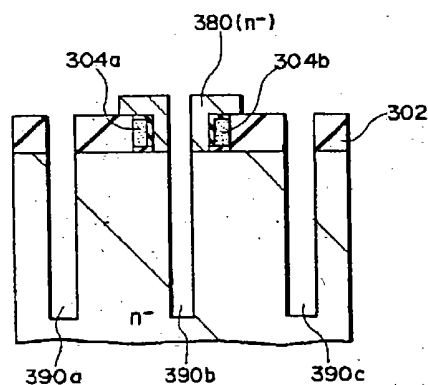
【図32】



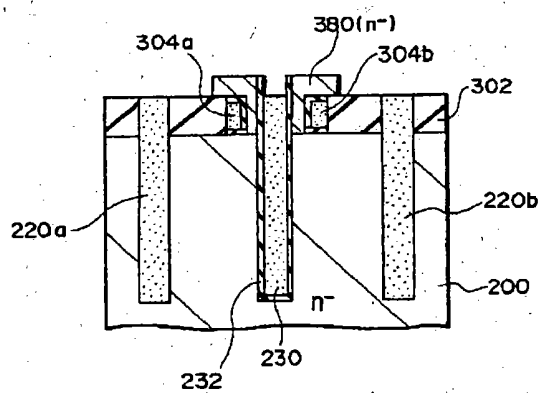
【図 2 9】



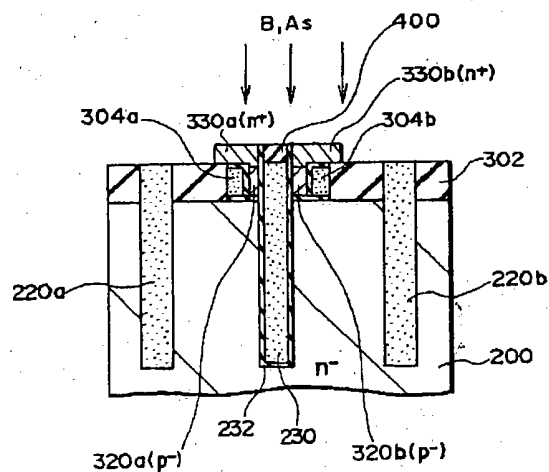
【図 3 3】



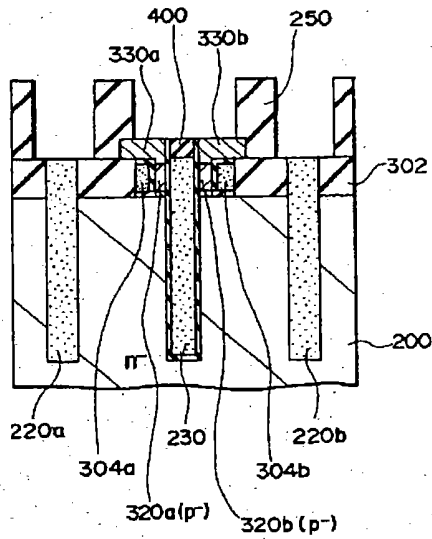
【図 3 4】



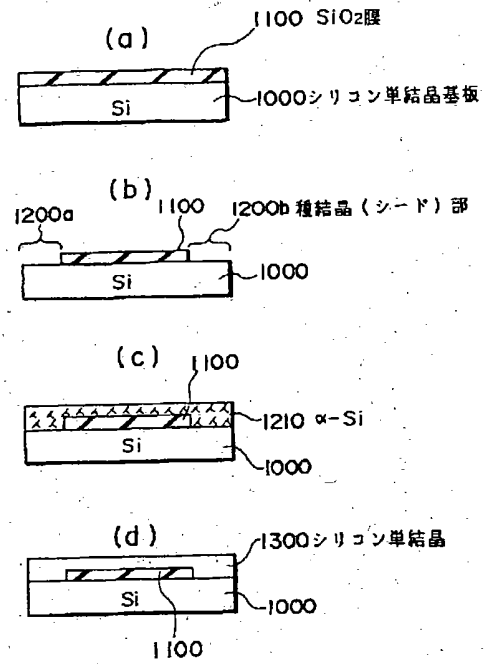
【図 3 5】



【図36】



【図37】



【図38】

